

AC Noise 에 의한 Power Source Guard Band 영향 연구

The Study of Power Source Guard Band Effect by AC Noise

*Jong-Joo Jin, Young-Gac Kim, Ku-Whan Lee, Byeong-Hwan Cho
SOC PE/TEST, SYSTEM LSI, Samsung Electronics
jongju.jin@samsung.com.

Abstract

The guard band is an area that the device operation should be stable. This guard band is influenced by the noise which comes from the device operation and the external environment. To estimate the noise influence, AC signal is forced to the device Internal VDD pin under the BIST, SCAN vector test condition. The various AC signal frequency and the decoupling capacitors are used to see the low VDD characteristic variation. This experimental result shows that the decoupling capacitor is effective to maintain the guard band, but, not always, unfortunately.

I. 서론

소비전력 최소화, 제품 원가 경쟁력을 등을 위하여 요즘 개발되는 제품의 gate length는 점점 작아지는 추세이며, 이때 따른 제품 내부의 logic의 동작 전압도 점점 낮아져 가는 추세이다. 이에 따라 제품에서 보정해야 하는 내부 동작 전압도 매우 낮아져야 한다. 기존에 3v 동작전압에서 보정해 주었던 것에 비해 1v 수준의 동작전압에서 보정해 줘야 하는 상황이면 3v에서와 동일한 비율만큼 최소 전압을 보정하는 것은 같은 상황이지만, 1v 수준인 경우, 설계 design, 공정, 조립, test 등 각 단계마다 이전보다 정밀한 수준을 원하게 된다. 이러한 제품의 경우, 제품 내부 혹은 외부에서 유발될 수 있는 전원단 잡음 역시도 예전에는 무시할 수 있던 정도의 경우도 현재의 제품에서는 더욱 세심한 주의가 필요한 상황이 되었다.[1]

일반적으로 사용되는 ATE Power는 잡음이 거의 없는 이상적인 수준에 근접한 전원을 사용한다. 즉, guard band 특성을 가지는 전원을 만들어 내고, 이 전원을 칩의 입,출력 전원 혹은 logic 전원 등으로 공급하게 된다. Guard band란 혼신방지용 주파수 대역을 의미한다. 그런데, 특수한 상황에 의하여 AC

잡음이 ATE power 혹은 Test Performance Board(P/B)에 실리게 되거나, 칩 내부의 동작과 상관없는 독립된 영역에서 유발되는 상황이 발생하게 되면 이 경우는 guard band 특성을 지닌 power가 아닌 상황이 된다. 현대에 개발되고 있는 LSI 제품들은 예전에 비해 훨씬 낮은 logic power를 사용하고 있다. 그래서, 예전보다 power의 안정성, 최소 동작전압의 중요성이 한층 대두되고 있다. 이러한 추세에서 위에 언급한 특수한 환경하에 power에 의한 칩 특성을 파악하는 것은 칩을 설계하거나, 공정, 또는 여타 제품 공정에서 필요한 기초 자료라 사료된다.

이에 본 논문에서는 AC 잡음을 강제로 유발시켜서 칩에 공급되는 logic power에 인가하여 검토를 진행하였다. 이 때 AC 잡음은 주파수별, 크기별로 각각 인가하였다. 그리고, 이러한 잡음을 줄이기 위한 방법으로 커패시터의 크기를 변화시켜 가면서 그 추이를 실험하였다. 그래서, 본 논문의 경우, chip에 강제로 외부에서 AC 잡음을 인가하였을 때, 이 때 양산에서 흔히 사용되고 있는 logic test 벡터인 SCAN, BIST(Built In Self Test)를 이용하여 이 벡터들이 pass되는 동작 전압을 측정함을 통하여 AC 잡음에 대한 최소 동작 전압 영향성을 확인하고자 하였다.

II. 본론

Logic 전원 단에 AC 잡음을 인가하기 위하여 ATE(T사 Tiger) 장비에서 칩으로 공급하는 ATE 전원에 잡음을 인가하였다. AC 잡음을 발생시키기 위하여 HP사의 신호생성기(HP 8648B 100Khz ~2Ghz)를 사용하였고, 만들어진 신호 정합성을 확인하는 방법으로는 ATE P/B 상의 logic 전원 단을 Tektronix사의 오실로스코프(TDS 3032B)로 탐침하면서 확인하였다. 칩에 AC 잡음이 인가된 logic 전원을 계속적으로 인가하면서 칩의 특성 변화를 관찰하였다. 칩을 선별하기 위한 방법으로 DFT (Design For Testability) 벡터를 이용한다. 가장 흔히 이용되는 벡터가 BIST와 SCAN 벡터이다. 이러한 벡터에 대하여 양산하고 있는 특정 주파수에서 logic

전압을 바꿔 가면서 칩이 동작하는 전압을 조사하였다. AC 잡음의 경우, 인가한 주파수는 0.1Mhz, 0.5Mhz, 1Mhz, 5Mhz의 4개 대역으로 인가하였다. 5Mhz이상에 대하여도 인가해 보았지만, 5Mhz 이상은 차이가 없었기에 5Mhz 대역까지만 측정하였다. 주파수 크기는 100mv, 200mv, 300mv, 400mv 수준을 인가하였다. 보통 셋트 전원단 잡음이 큰 경우 200mv 수준이라 400mv 수준까지 인가 하였다. 이에 대한 커패시터의 잡음 제거 정도를 파악 하기 위하여 범용적으로 사용되고 있는 용량인 0.1uF, 1uF, 10uF, 100uF 각각 한 개씩 사용하였고, 커패시터를 전혀 장착하지 않은 상황과 비교 하였다.

그림1은 앞에서 기술한 방법에 대하여 모식도로 표현한 것이다.

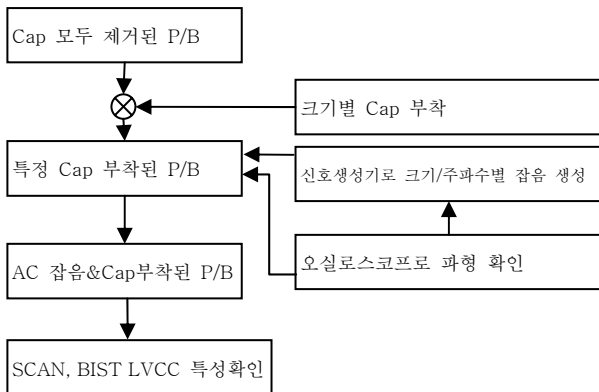


Figure 1. Experimental Method

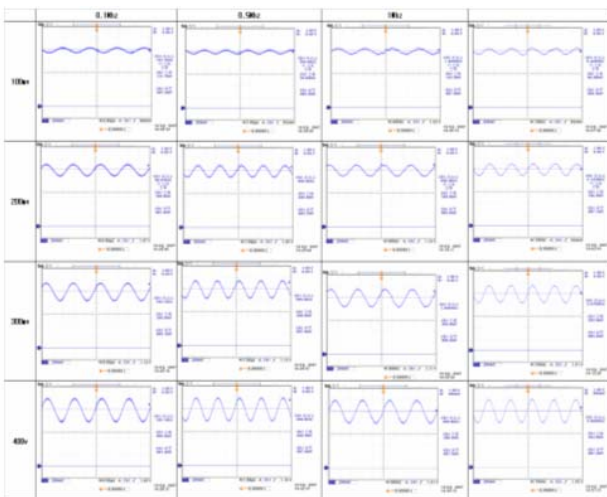


Figure 2. Waveform Type of AC Noise

그림 3, 4는 BIST, SCAN에 대하여 위의 실험 조건을 바탕으로 각각에 대한 영향을 6시그마 실험계획법 DOE (Design of Experiment)에 의거하여 진행하여 도식화한 것이다. 그림 3,4를 통하여 주파수와 주파수

크기에 대한 상관성의 결과는 저주파 일수록 최소 동작 전압에 큰 영향을 주는 것을 알 수 있으며, 5Mhz는 영향이 미미함을 확인 할 수 있다. 주파수는 크기가 증가할수록 최소 동작전압 영향성이 커짐도 더불어 확인 할 수 있다. 하지만, 커패시터의 경우는, 잡음 주파수와 크기에 대하여 커패시터 크기 변화에 따른 최소 동작전압과는 상관성이 없었다. 그림 4. SCAN의 최소 동작전압 그림에서 보면, 커패시터를 장착하지 않는 것에 비하여 장착한 경우가 최소 동작 전압 특성이 우세함을 확인 할 수 있다. 그림 3. BIST의 경우는 커패시터 장착 여부에 상관없이 거의 일정하게 나타남을 보인다. 보통 BIST보다 SCAN의 경우 logic gate 수가 10배 이상 많다. 그래서, SCAN의 경우 setup/hold margin이 BIST보다 민감하게 반응하고, 커패시터를 장착한 경우가 없는 경우보다 잡음 제거에 효과적인 결과를 보인 것이라 할 수 있다.

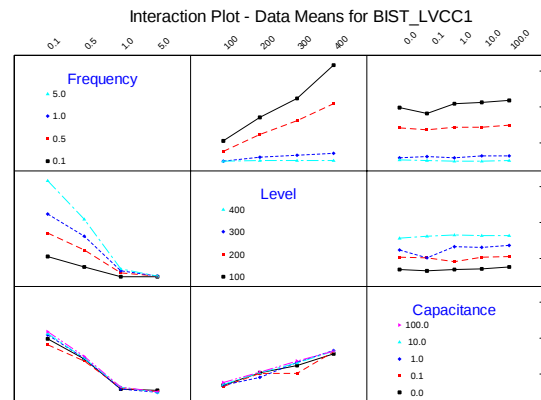


Figure 3. BIST LVCC by AC Ripple Effect

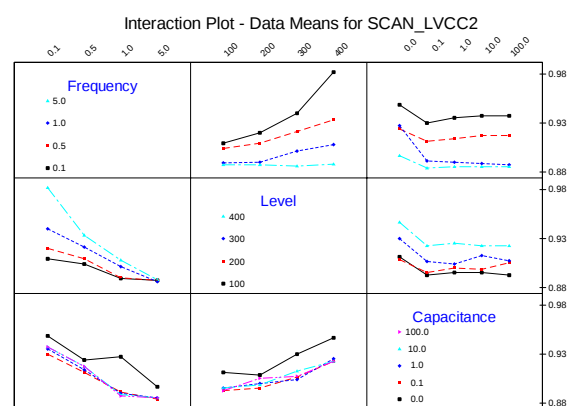


Figure 4. SCAN LVCC by AC Ripple Effect

III. 결론

본 실험에서는 강제로 유발시킨 잡음을 logic 전원단에 인가함을 통하여 BIST, SCAN 백터 등을 이용하여 칩의 특성 변화를 파악 할 수 있었다. 이를

통해, 잡음 주파수 대역이 0.5Mhz이하의 저주파일수록, 또한, 그 잡음의 크기가 증가 할수록 최소동작 특성이 열세함을 확인 할 수 있었다. 또한, 용량 크기에 따른 커패시터를 개별 장착하는 것은 잡음 영향을 줄이는 모든 백터에 효과적인 것은 아니나 logic gate 수가 큰 set up/hold margin이 민감한 백터의 경우는 효과적인 수 있음을 확인 하였다.

참고문헌

[1] Paul. S, Zuchoski, et al “Process and Environmental Variation Impacts on ASIC Timing” IEEE/ACM International Conference, 336-342, 2004